

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116207

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 43/06

G01R 33/07

H01L 43/14

(21)Application number : 07-269706

(71)Applicant : ASAHI CHEM IND CO LTD

(22)Date of filing : 18.10.1995

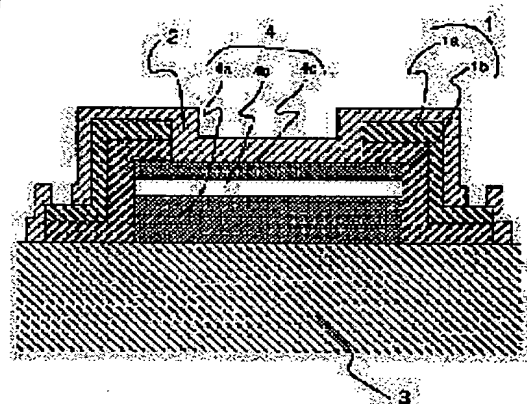
(72)Inventor : MURAMATSU SHOGO
MITSUYA SHINJI
NAGASE KAZUHIRO

(54) HALL ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of a Hall element manufactured by treating a first compound semiconductor layer composed of a compound semiconductor having a lattice constant which is different from that of $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1$, $0 \leq y \leq 1$) formed on a substrate by $\pm 5\%$ and containing Sb and an $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1$, $0 \leq y \leq 1$) semiconductor thin film formed on the first compound semiconductor layer.

SOLUTION: In a Hall element, a semiconductor thin film 4 is removed from the entire area of the element except an input resistance section and output resistance section and each electrode has a first metallic layer (b) composed at least of one element selected from among Ti, Pt, Mo, Cr, Nb, Pd, Ta, V, and W and a second metallic layer (a) formed on the layer (b). In addition, a wire bonding section is formed on a substrate 3. On the surface of the element, a protective film 2 compactly covers at least the entire surfaces of the input and output resistance sections.



LEGAL STATUS

[Date of request for examination]

24.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

【特許請求の範囲】

【請求項1】 基板と、該基板上に形成された高抵抗のSbを含む化合物半導体よりなる第一化合物半導体層と、前記第一化合物半導体層上に形成された $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$)よりなる能動層としての半導体層と、からなる半導体薄膜をパターン形成したパターン部を備え、前記第一化合物半導体層はバルク $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$)に対して格子定数の違いが $\pm 5\%$ 以内であるホール素子において、前記半導体薄膜は前記パターン部としての入力抵抗部および出力抵抗部以外はすべて除去され、電極はTi、Pt、Mo、Cr、Nb、Pd、Ta、V、Wのうち少なくとも一つよりなる第一金属層と該第一金属層の上のAu、Alのうち少なくとも一つよりなる第二金属層とを有し、ワイヤーボンディング部は基板の上に直接形成され、ホール素子の表面は少なくとも前記入力抵抗部および出力抵抗部をすべて保護膜で隙間無く覆われていることを特徴とするホール素子。

【請求項2】 前記半導体薄膜が、前記第一化合物半導体層と、前記能動層としての半導体層と、該半導体層の上に形成された高抵抗のSbを含んだ第二化合物半導体層を備え、該第二化合物半導体層は前記能動層としての半導体層に対して格子定数の違いが $\pm 5\%$ 以内である半導体薄膜であることを特徴とする請求項1記載のホール素子。

【請求項3】 基板と、該基板上に形成された高抵抗のSbを含む化合物半導体よりなる第一化合物半導体層と、前記第一化合物半導体層上に形成された $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$)よりなる能動層としての半導体層と、からなる半導体薄膜をパターン形成したパターン部を備え、前記第一化合物半導体層はバルク $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$)に対して格子定数の違いが $\pm 5\%$ 以内であるホール素子の製造方法において、前記半導体薄膜を前記パターン部としての入力抵抗部および出力抵抗部以外をすべて除去し、電極をTi、Pt、Mo、Cr、Nb、Pd、Ta、V、Wのうち少なくとも一つよりなる第一金属層と該第一金属層の上のAu、Alのうち少なくとも一つよりなる第二金属層とで形成し、ワイヤーボンディング部分を基板の上に形成し、ホール素子の表面の少なくとも前記入力抵抗部および出力抵抗部のすべてを保護膜で隙間無く覆うことを特徴とするホール素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、Sbを含む化合物半導体を用いたホール素子とその製造方法に関するものである。

【0002】

【従来の技術】 化合物半導体による電界効果トランジスタやホール素子等の磁気センサは、化合物半導体の高い電子移動度を利用したデバイスである。しかし、InAsは能動層として十分な電子移動度を持った化合物半導体であるが、適当な基板と格子整合がとれず化合物半導体の特性を十分生かすことができなかった。

【0003】ところが、特開平6-77556号によると、InAsとの格子定数の違いが $\pm 5\%$ 以内の格子定数を持ち、かつInAsより大きいバンドギャップエネルギーを持つ $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ からなる高抵抗の第一化合物半導体層を基板上に成長させ、該第一化合物半導体層の上にInAs層を成長させ、さらに、該InAs層の上に、InAsとの格子定数の違いが $\pm 5\%$ 以内でありかつInAsより大きいバンドギャップエネルギーを持つ $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ からなる高抵抗の第二化合物半導体層を成長させると、InAs層を能動層として高い電子移動度を実現できることが確認されている。

【0004】また、デバイスの温度特性を改善するため、バンドギャップを広げる目的でGaを導入した $\text{In}_x\text{Ga}_{1-x}\text{As}$ に対しても、 $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ は同様の効果を発揮し、高い電子移動度が実現できる。さらに、さらなる高電子移動度の実現のため、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ にSbを導入した $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ に対しても、 $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ は同様の効果を発揮し、これらの物質の高い電子移動度のデバイスへの応用が期待されている。

【0005】しかしながら、 $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ は、GaAsなどと比較すると酸化に対してきわめて弱く、 $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ 層を含む半導体薄膜を用いた半導体デバイスは、十分な信頼性を得ることが難しいという問題があった。例えば、基板上に成長させたInAsとの格子定数の違いが $\pm 5\%$ 以内の格子定数を持ち、かつInAsより大きいバンドギャップエネルギーを持つ $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ からなる高抵抗の第一化合物半導体層と、該第一化合物半導体層の上に成長させたInAs層と、該InAs層の上に、InAsとの格子定数の違いが $\pm 5\%$ 以内でありかつInAsより大きいバンドギャップエネルギーを持つ $\text{Al}_{x1}\text{Ga}_{1-x1}\text{As}_{y1}\text{Sb}_{1-y1}$ からなる高抵抗の第二化合物半導体層からなる半導体薄膜を、半導体デバイス（例えばホール素子）に加工する場合、メサエッチングを該半導体薄膜の途中まで行い、SiN保護膜を形成した後、電極形成部のSiN保護膜をエッチングし、電極をリフトオフ法により形成した構造のホール素子では、信頼性確認のための加速試験において、素子特性が30%以上変動する素子が多数発生し、実際の使用に耐えうるだけの信頼性を保証するには至らなかった。

【0006】また、素子組立工程のうち、ワイヤーボンディングにおいて、電極金属の剥離が多く発生し、生産

性においても問題があった。

【0007】

【発明が解決しようとする課題】本発明は、Sbを含む化合物半導体を用いてホール素子を形成する際に、形成されたホール素子に、家電など通常の用途のみでなく、高温などの使用が考えられる特殊用途にも対応できる十分な信頼性を持たせるとともに、十分な生産性も保証し、さらに、半導体薄膜の能動薄膜の特性をホール素子特性に十分反映させることができることを目的とする。

【0008】

【課題を解決するための手段】本発明者は、Sbを含む化合物半導体を用いてホール素子を形成する際の、ホール素子の最適構造の探索に取り組んだ。その結果、Sbを含む半導体薄膜をホール素子形成に必要な部分（入力抵抗部および出力抵抗部）以外は全て基板まで除去し、ホール素子電極の材料は特定金属によって構成され、ワイヤボンディング部が基板の上に形成され、更にホール素子表面の少なくとも入力抵抗部および出力抵抗部全体を保護膜で隙間無く覆う構造にする事によって、初めて十分な信頼性ととも十分な生産性を持つホール素子が得られることを見だし、本発明に至った。

【0009】つまり、Sbを含んだ化合物半導体層（AlGaAsSb層等）は、Sbを含むことによって、GaAs層等と較べて酸化し易く、その為に弱くなり、一般的信頼性レベルが低下することを見いだした。更に、信頼性上、電極材料が適正な材料に限定されること、保護膜の位置、構造が限定されることを見だし、本発明に至った。

【0010】本発明のホール素子の構造は、電極構造は半導体薄膜の上面のコンタクト部より基板上のボンディング部まで特定金属により構成され、さらに少なくとも入力抵抗部および出力抵抗部すべてを保護膜で隙間無く完全に覆う構造となっている。即ち本発明は、基板と、該基板上に形成された高抵抗のSbを含む化合物半導体よりなる第一化合物半導体層と、前記第一化合物半導体層上に形成された $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$) よりなる能動層としての半導体層と、からなる半導体薄膜をパターン形成したパターン部を備え、前記第一化合物半導体層はバルク $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$) に対して格子定数の違いが $\pm 5\%$ 以内であるホール素子において、前記半導体薄膜は前記パターン部としての入力抵抗部および出力抵抗部以外はすべて除去され、電極はTi、Pt、Mo、Cr、Nb、Pd、Ta、V、Wのうち少なくとも一つよりなる第一金属層と、該第一金属層の上のAu、Alのうち少なくとも一つよりなる第二金属層とを有し、ワイヤボンディング部は基板の上に直接形成され、ホール素子の表面は少なくとも前記入力抵抗部および出力抵抗部をすべて保護膜で隙間無く覆われていることを特徴とするホール素子である。

【0011】さらに、前記半導体薄膜が、前記第一化合物半導体層と、前記能動層としての半導体層と、該半導体層の上に形成された高抵抗のSbを含んだ第二化合物半導体層を備え、該第二化合物半導体層は前記能動層としての半導体層に対して格子定数の違いが $\pm 5\%$ 以内である半導体薄膜であることを特徴とする請求項1記載のホール素子である。

【0012】更に、基板と、該基板上に形成された高抵抗のSbを含む化合物半導体よりなる第一化合物半導体層と、前記第一化合物半導体層上に形成された $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$) よりなる能動層としての半導体層と、からなる半導体薄膜をパターン形成したパターン部を備え、前記第一化合物半導体層はバルク $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$) に対して格子定数の違いが $\pm 5\%$ 以内であるホール素子の製造方法において、前記半導体薄膜を前記パターン部としての入力抵抗部および出力抵抗部以外をすべて除去し、電極をTi、Pt、Mo、Cr、Nb、Pd、Ta、V、Wのうち少なくとも一つよりなる第一金属層と該第一金属層の上のAu、Alのうち少なくとも一つよりなる第二金属層とで形成し、ワイヤボンディング部分を基板の上に形成し、ホール素子の表面の少なくとも前記入力抵抗部および出力抵抗部のすべてを保護膜で隙間無く覆うことを特徴とするホール素子の製造方法である。

【0013】

【発明の実施の形態】以下、本発明を更に詳細に説明する。まず、本発明のホール素子の構造について説明する。図1は、本発明のホール素子の構造の一例を示しており、断面を模式的に示したものである。図1に於いて、1は電極、1bは第一金属層、1aは第二金属層、2は保護膜を示している。3は基板、4は半導体薄膜、4aは第一化合物半導体層、4bは $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層、4cは第二化合物半導体層を示している。

【0014】本発明でいう半導体薄膜は、第一化合物半導体層、能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層、第二化合物半導体層が基板の上に順に積層されることによって形成されているが、第二化合物半導体層が無い場合も含む。前記第一化合物半導体層は、バルク $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0.3 \leq x \leq 1, 0 \leq y \leq 1$) との格子定数の違いが $\pm 5\%$ 以内、より好ましくは $\pm 2\%$ 以内である化合物半導体である。なぜなら、第一化合物半導体層がバルク $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ と格子定数の違いが $\pm 5\%$ 以内であれば、第一化合物半導体層の上に形成される能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層は、バルクの $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ の物性値に近い高い電子移動度の膜となることができる。

【0015】第一化合物半導体層の具体的な材料として

は、 GaSb , AlSb , $\text{Al}_{1-x}\text{Ga}_{1-x}\text{Sb}$, $\text{GaAs}_{b1}\text{Sb}_{1-b1}$, $\text{AlAs}_{b2}\text{Sb}_{1-b2}$, $\text{Al}_{1-x}\text{Ga}_{1-x}\text{As}_{b3}\text{Sb}_{1-b3}$ などが挙げられる。上記の材料の具体的な組成は、能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層が InAs で構成されている場合 ($x=1$, $y=1$) には、材料としては、 $\text{Al}_{1-x}\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 0.771 + 0.033 \times x$) などが挙げられ、より好ましい材料としては、 $\text{Al}_{1-x}\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 0.359 + 0.061 \times x$) などが挙げられる。また、能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層が $\text{In}_{0.6}\text{Ga}_{0.4}\text{As}$ で構成されている場合 ($x=0.6$, $y=1$) には、材料としては、 $\text{Al}_{1-x}\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 0.183 + 0.074 \times x$) などが挙げられ、より好ましい材料としては、 $\text{Al}_{1-x}\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 0.718 + 0.036 \times x$) などが挙げられる。また、能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層が $\text{InAs}_{0.5}\text{Sb}_{0.5}$ で構成されている場合 ($x=1$, $y=0.5$) には、材料としては、 $\text{Al}_{1-x}\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 0.317 + 0.065 \times x$) などが挙げられる。

【0016】さらに、第一化合物半導体層は、上記の化合物半導体の数種類からなる多層を形成してもよい。第一化合物半導体層の厚みは、 $0.1 \mu\text{m}$ 以上、 $10 \mu\text{m}$ 以下であり、好ましくは $0.2 \mu\text{m}$ 以上、 $5 \mu\text{m}$ 以下の範囲である。なお、材料の物性値 (格子定数等) は、薄膜状態と単結晶状態とで異なる場合があり、本願で言うバルクとは材料の状態が薄膜に対して単結晶単体における状態を意味する。

【0017】第二化合物半導体層は、能動層の上に形成することによって、新たな効果を生じる。つまり、能動層を第一化合物半導体層と第二化合物半導体層で挟んだサンドイッチ構造にすることによって、量子井戸構造となり能動層のキャリアが増加し、しかも高い電子移動度となることが期待できる。第二化合物半導体層は、能動層としての半導体層に対して格子定数の違いが $\pm 5\%$ 以内である化合物半導体よりなる。材料は第一化合物半導体層の材料に準じ、第一化合物半導体層と同様に多層を形成してもよい。

【0018】第二化合物半導体層の厚みは、通常第一化合物半導体層の厚みに準ずるが、好ましい範囲としては、 $1 \mu\text{m}$ 以下、より好ましくは、 $0.5 \mu\text{m}$ 以下、さらに好ましくは 5nm 以上 $0.1 \mu\text{m}$ 以下である。なお、本発明における第二化合物半導体層は、必要のない場合には形成されない。

【0019】本発明の能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層の厚みは、 $1.4 \mu\text{m}$ 以下であり、好ましくは $0.5 \mu\text{m}$ 以下、より好ましくは 5nm 以上 $0.$

$1 \mu\text{m}$ 以下である。能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層は、抵抗率は $6.2 \times 10^{-6} \Omega \cdot \text{cm}$ から $1.5 \times 10^{-1} \Omega \cdot \text{cm}$ であり、第一化合物半導体層または第二化合物半導体層は、能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層の約10倍以上高抵抗、好ましくは約100倍以上高抵抗、より好ましくは約1000倍以上高抵抗であり、能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層と第一化合物半導体層または第二化合物半導体層は機能的に全く異なっている。よって第一化合物半導体層または第二化合物半導体層と、能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層とが組成上同一であっても、相対的に高抵抗層としての第一化合物半導体層または第二化合物半導体層と、導電層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層は機能的に異なる。

【0020】また、本発明に用いられる基板は、一般に単結晶を成長できるものであれば何でもよいが、 GaAs 、 InP の単結晶の半絶縁基板、 Si 単結晶基板等は、好ましい例である。次に、本発明のホール素子の製造方法について説明する。前述の基板の上に半導体薄膜を形成する工程は、一般に薄膜の単結晶を成長させることができる工程であれば何でもよく、例として分子線エピタキシー (MBE) 法や、ガスソースMBE法、有機金属化学気相成長 (MOCVD) 法、原子層エピタキシー (ALE) 法等は特に好ましい方法である。

【0021】基板の上に半導体薄膜を形成後、通常のフォトリソグラフィ法によって半導体薄膜にメサパターンを形成し、メサエッチングを基板が露出するまで行う。基板までメサエッチングを行うことにより、酸化によって激しく劣化する Sb を含む化合物半導体を、ホール素子形成に必要な部分、つまり入力抵抗部および出力抵抗部以外は、全て取り去ることができると同時に、電極のワイヤーボンディング部を半導体薄膜上でなく、基板上に形成することが可能となる。

【0022】メサパターンの形成方法としては、一般に、半導体薄膜上にパターンを形成できる方法なら何でもよく、該半導体薄膜上にレジストを塗布し、フォトリソグラフィ法等によりレジストをメサパターンに形成する方法等があげられる。メサパターン形成後のエッチングの方法としては、イオンミリングなどを用いたドライエッチング法や、クエン酸、リン酸、硫酸などからなる酸系のエッチャントを用いたウエットエッチング法などがあげられる。

【0023】本発明のポイントの一つは、少なくとも第一化合物半導体層と能動層とよりなる半導体薄膜が限定された部分以外すべて除去されることである。つまり、半導体薄膜が残る部分は、ホール素子のパターン部分の中の入力抵抗部分と出力抵抗部分のみである。電極は、エッチング終了後の半導体薄膜上および基板上に連続した金属層により形成される。

【0024】電極は、第一金属層1b、及び該第一金属

層の上に第二金属層1aを有する構造のオーミック電極である。第一金属層1bは、Ti, Pt, Mo, Cr, Nb, Pd, Ta, V, Wのうち一種または二種以上の金属により構成される。これらの金属の融点は、すべて第二金属層1aより高く(Auの融点: 1063℃、Alの融点: 660℃)、また線膨張率は $4.5 \times 10^{-6} \text{ K}^{-1}$ から $10.6 \times 10^{-6} \text{ K}^{-1}$ であり、基板及び半導体薄膜を構成する材料と近い値を有している。(これらの半導体の線膨張率は、例えば、GaAsの線膨張率は $5.7 \times 10^{-6} \text{ K}^{-1}$ 、AlSbは $4.9 \times 10^{-6} \text{ K}^{-1}$ 、GaSbは $6.3 \times 10^{-6} \text{ K}^{-1}$ 、InAsは $5.2 \times 10^{-6} \text{ K}^{-1}$ である。)

これらの性質より、電極金属と半導体薄膜の過剰な反応が十分に抑制されるので、十分な信頼性を有するオーミック電極が形成できると同時に、熱処理をする場合においても、電極金属のはがれも生じない。

【0025】第一金属層1bの材料はこれらの金属を二つ以上成分として用いた合金でもよい。また、これらの金属、合金の数種類からなる多層を形成してもよい。第一金属層1bの膜厚は、1nm以上、10μm以下であると良く、好ましくは5nm以上、5μm以下、より好ましくは10nm以上、1μm以下である。本発明に於ける第二金属層1aの膜厚は、1nm以上、10μm以下であり、好ましくは5nm以上、5μm以下、より好ましくは10nm以上、1μm以下である。

【0026】また、電極1の厚みは、1nm以上、15μm以下であり、好ましくは5nm以上、8μm以下、より好ましくは10nm以上、2μm以下である。上記の半導体薄膜上に、電極を形成する工程は、一般に薄膜を形成できる工程なら何でもよいが、電子線あるいは抵抗加熱による真空蒸着法、スパッタ法などが好ましい方法として挙げられる。

【0027】更に、電極を所望の形状に加工するが、その工程は、電極金属を基板全面に蒸着後レジストを塗布し、フォトリソグラフィ法等によりレジストを電極パターンに形成した後、イオンミリング法等によるエッチング等により所望の形状に加工する方法や、リフトオフ法等が用いられる。また、電極金属を所望の膜厚に蒸着し所望の形状に加工した後、必要に応じ熱処理により電極と半導体薄膜の接触を取っても良いが、その温度は200℃から1000℃までのどの値でもよく、好ましくは300℃から500℃であり、また、熱処理時間は5秒から5時間までのどの値でもよく、好ましくは10秒から30分である。また、熱処理は不活性ガス中で行い、窒素、アルゴン、ヘリウム等の雰囲気下での熱処理は好ましい。

【0028】また、リフトオフ法により電極を形成する場合には、レジストにより電極パターンを形成した後、第二化合物半導体層をエッチングし $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層を露出させた後、電極金属を蒸着し、In

$x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層と電極のコンタクトを直接取る方法も用いられる。本発明においては、ホール素子表面全面に保護膜2を形成し、ダイシング、ワイヤーボンディングに必要な部分の保護膜をエッチングするが、この方法により、少なくとも入力抵抗部および出力抵抗部を保護膜で隙間無く完全に覆うことができる。

【0029】保護膜の材料としては、絶縁物であれば何でもよいが、SiN、SiO₂などが好ましい。保護膜の形成方法としては、薄膜を形成する方法であれば何でもよいが、プラズマCVD法、電子線あるいは抵抗加熱による真空蒸着法、スパッタ法などが好ましい方法として挙げられる。

【0030】また、保護膜の厚みは、0.01μm以上、20μm以下であり、好ましくは0.1μm以上、1μm以下の範囲である。また、保護膜のエッチング方法としては、フォトリソグラフィ法等によりレジストをエッチングするパターンに形成した後、反応性イオンエッチング(RIE)法、イオンミリング法等により、エッチングする方法などが挙げられる。

【0031】以下に本発明を実施例により具体的に述べるが、本発明はこれらの例のみに限定されるものではない。

【0032】

【実施例1】基板としての直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層としてのノンドープの $\text{Al}_{0.65}\text{Ga}_{0.35}\text{As}_{0.14}\text{Sb}_{0.86}$ を600nm成長させた。この第一化合物半導体層の抵抗率は $1 \times 10^5 \Omega \cdot \text{cm}$ 以上である。

【0033】次に能動層としてのノンドープのInAs層を15nm成長させた。この能動層の抵抗率は $6 \times 10^{-4} \Omega \cdot \text{cm}$ であった。次に第二化合物半導体層としてのノンドープの $\text{Al}_{0.65}\text{Ga}_{0.35}\text{As}_{0.14}\text{Sb}_{0.86}$ を35nm成長させた。次に積層した第二化合物半導体層としてのノンドープの $\text{GaAs}_{0.08}\text{Sb}_{0.92}$ を5nm成長させた。この第二化合物半導体層の抵抗率は能動層の抵抗率より十分(10倍以上)大きい値である。

【0034】この時の、半導体薄膜の電子移動度の値は $20500 \text{ cm}^2/\text{Vs}$ 、シート抵抗値は 370Ω 、電子濃度は $5.47 \times 10^{17} \text{ cm}^{-3}$ であった。この半導体薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、形成された半導体薄膜上に入力抵抗部および出力抵抗部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法によりメサエッチングをGaAs基板まで行い、不要部分をエッチングした後、レジストを除去した。次に、フォトリソグラフィ法により電極パターンを形成した後、真空蒸着法により、Ti層を100nm、続いて、Au層を300nm蒸着し、リフトオフ法により、電極パターンを形成し、熱処理炉を用いて、窒素雰囲気中で300℃、1分の熱処理を行い電極のTi層と第二

化合物半導体のノンドープの $\text{Al}_{0.65}\text{Ga}_{0.35}\text{As}_{0.14}\text{Sb}_{0.86}$ とは合金状態になって InAs とオーミックコンタクトの電極を形成した。

【0035】そして、ホール素子全面にプラズマCVD法により、 $0.4\mu\text{m}$ の SiN 膜を形成した。該 SiN 膜上にフォトリソグラフィー法により、ワイヤーボンディングする部分およびダイシング部分が開口部となっているレジストパターンを形成し、反応性イオンエッチングを使って、以上の部分の SiN をエッチングし、電極および GaAs 基板を露出させた。

【0036】こうして、2インチのウエハ上に多数のホール素子を製作した。図1に製作したホール素子の断面形状を示す。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは $0.36\text{mm} \times 0.36\text{mm}$ であった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。

【0037】なお、ホール素子製作の工程において、電極剥離などの不良はワイヤボンディング時発生しなかった。こうして作製したホール素子を、

①、 85°C 、湿度85%の中に1mAの入力電流を流して1000時間

②、 70°C の中に6.5Vの入力電圧をかけて1000時間

③、 120°C の中に4.5Vの入力電圧をかけて1000時間

④、 150°C の中に1000時間

⑤、 121°C 、2気圧、湿度100%の中に100時間の環境下に置いたところ、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のホール素子は、極めて高い信頼性を持っていると同時に、十分な生産性を実現できるものである。

【0038】また、このホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で283mV、入力抵抗は768Ωであり、半導体薄膜の特性を十分反映した素子特性である。

【0039】

【実施例2】実施例2は、実施例1に対して電極のコンタクトの方法を変えた例である。直径2インチの GaAs 基板の表面にMBE法により、ノンドープの $\text{Al}_{0.65}\text{Ga}_{0.35}\text{As}_{0.14}\text{Sb}_{0.86}$ を600nm成長させた。次にノンドープの InAs を15nm成長させた。次にノンドープの $\text{Al}_{0.65}\text{Ga}_{0.35}\text{As}_{0.14}\text{Sb}_{0.86}$ を35nm成長させた。次にノンドープの $\text{GaAs}_{0.08}\text{Sb}_{0.92}$ を5nm成長させた。この薄膜の電子移動度の値は $20500\text{cm}^2/\text{Vs}$ 、シート抵抗値は370Ω、電子濃度は $5.47 \times 10^{17}\text{cm}^{-3}$ であった。つまり、実施例

1と同一の半導体薄膜を使用した。

【0040】この半導体薄膜を用いてホール素子を作製した。まず、フォトリソグラフィー法を用いて、形成された半導体薄膜上に入力抵抗部および出力抵抗部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法によりメサエッチングを GaAs 基板まで行い、不要部分をエッチングした後、レジストを除去した。次に、フォトリソグラフィー法により電極パターンを形成した後、クエン酸系エッチャントを用いて GaAsSb 層、上部の AlGaAsSb 層をエッチングし、 InAs 層を露出させた。

【0041】そして、真空蒸着法により、 Ti 層を100nm、続いて、 Au 層を300nm蒸着し、リフトオフ法により、電極を形成した。つまり、実施例1に比べて電極を直接能動層の InAs へ熱処理無しでオーミックコンタクトをとった。そして、ホール素子全面にプラズマCVD法により、 $0.4\mu\text{m}$ の SiN 膜を形成した。該 SiN 膜上にフォトリソグラフィー法により、ワイヤーボンディングする部分およびダイシング部分が開口部となっているレジストパターンを形成し、反応性イオンエッチングを使って、以上の部分の SiN をエッチングし、電極および GaAs 基板を露出させた。

【0042】こうして、2インチのウエハ上に多数のホール素子を製作した。図2に製作したホール素子の断面図を示す。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは $0.36\text{mm} \times 0.36\text{mm}$ であった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。

【0043】なお、ホール素子製作の工程において、ワイヤボンディング時、電極剥離などの不良は発生しなかった。こうして作製したホール素子を、実施例1で示した①②③④⑤の環境下に置いたところ、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のホール素子は、極めて高い信頼性を持っていると同時に、十分な生産性を実現できるものである。

【0044】また、このホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で283mV、入力抵抗は768Ωであり、薄膜の特性を十分反映した素子特性である。

【0045】

【比較例1】実施例1で作製した半導体薄膜を用いてホール素子を作製した。まず、フォトリソグラフィー法を用いて、 GaAs 基板上に形成された半導体薄膜上に入力抵抗部および出力抵抗部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法により半導体薄膜途中（第一化合物半導体層の途中）までメサエッチングした後、レジストを除去した。

【0046】次に、ホール素子全面にプラズマCVD法により、 $0.4\mu\text{m}$ のSiN膜を形成した。該膜上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、さらに、クエン酸系エッチャントを用いてGaAsSb層、上部のAlGaAsSb層をエッチングし、InAs層を露出させた。

【0047】そして真空蒸着法により、AuGe層を250nm、Ni層を100nm、続いて、Au層を300nm蒸着し、リフトオフ法により電極を形成した。こうして、2インチのウエハ上に多数のホール素子を製作した。製作したホール素子の断面図を図3に示す。そして、ダイシング工程以降、実施例1と同様の工程でモールドされたホール素子を製作した。

【0048】なお、ホール素子製作の工程において、特に、ワイヤーボンド時に、電極剥離などの不良が多数発生した。こうして作製したホール素子を、実施例1で示した①②③④⑤の環境下に置くことを試みたところ、①②③④においては200時間で、⑤においては15時間で、ホール出力電圧、入力抵抗値は30%以上の変化率を示した。このように、本構造のホール素子は、信頼性が極めて悪いと同時に、十分な生産性も保証できない。

【0049】つまり、比較例1は、実施例1および実施例2と比較して、半導体薄膜は基板まで除去されておらず電極のボンディング部が基板の上に形成されておらず、電極の第一金属がTi等の特定金属でなく、更に、保護膜がホール素子の表面を隙間無く覆っておらず、保護膜は電極の所で分離しており保護膜と電極の間に隙間が生じている構造となっている為に信頼性が悪くなっている。

【0050】

【比較例2】実施例1で作製した半導体薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、GaAs基板上に形成された半導体薄膜上に入力抵抗部および出力抵抗部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法により半導体薄膜途中（第一化合物半導体層の途中）までメサエッチングした後、レジストを除去した。

【0051】次に、ホール素子全面にプラズマCVD法により、 $0.4\mu\text{m}$ のSiN膜を形成した。該膜上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングした。そして真空蒸着法により、Ti層を100nm、続いて、Au層を300nm蒸着し、リフトオフ法により、電極パターンを形成し、熱処理炉を用いて、窒素雰囲気中で300℃、1分の熱処理を行い、電極を形成した。

【0052】こうして、2インチのウエハ上に多数のホ

ール素子を製作した。製作したホール素子の断面図を図4に示す。そして、ダイシング工程以降、実施例1と同様の工程でモールドされたホール素子を製作した。なお、ホール素子製作の工程において、特に、ワイヤーボンド時に、電極剥離などの不良が多数発生した。

【0053】こうして作製したホール素子を、実施例1で示した①②③④⑤の環境下に多数置くことを試みたところ、①②③の通電試験において、200時間で、ホール出力電圧、入力抵抗値が30%以上の変化率を示す素子が多数見られた。このように、本構造のホール素子では、十分な信頼性は得られないと同時に、十分な生産性も保証できない。

【0054】つまり、比較例2は、実施例1および実施例2と比べると半導体薄膜は基板まで除去されておらず電極のボンディング部が基板の上に形成されておらず、更に、保護膜がホール素子の表面を隙間無く覆っておらず、保護膜は電極の所で分離しており保護膜と電極の間に隙間が生じている構造となっている為に信頼性が悪くなっている。

【0055】

【比較例3】実施例1で作製した半導体薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、形成された半導体薄膜上に入力抵抗部および出力抵抗部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法によりメサエッチングをGaAs基板まで行い、不要部分をエッチングした後、レジストを除去した。次に、フォトリソグラフィ法により電極パターンを形成した後、クエン酸系エッチャントを用いて、電極形成部にあるGaAsSb層、上部のAlGaAsSb層をエッチングし、InAs層を露出させた。

【0056】そして真空蒸着法により、AuGe層を250nm、Ni層を100nm、続いて、Au層を300nm蒸着し、リフトオフ法により電極を形成した。そして、ウエハ全面にプラズマCVD法により、 $0.4\mu\text{m}$ のSiN膜を形成した。該SiN膜上にフォトリソグラフィ法により、ワイヤーボンディングする部分およびダイシング部分が開口部となっているレジストパターンを形成し、反応性イオンエッチングを使って、以上の部分のSiNをエッチングし、電極およびGaAs基板を露出させた。

【0057】こうして、2インチのウエハ上に多数のホール素子を製作した。製作したホール素子の断面図を図5に示す。そして、ダイシング工程以降、実施例1と同様の工程でモールドされたホール素子を製作した。なお、ホール素子製作の工程において、電極剥離などの不良は、発生しなかった。

【0058】こうして作製したホール素子を、実施例1で示した①②③④⑤の環境下に置くことを試みたところ、①②③④においては500時間で、⑤においては3

13

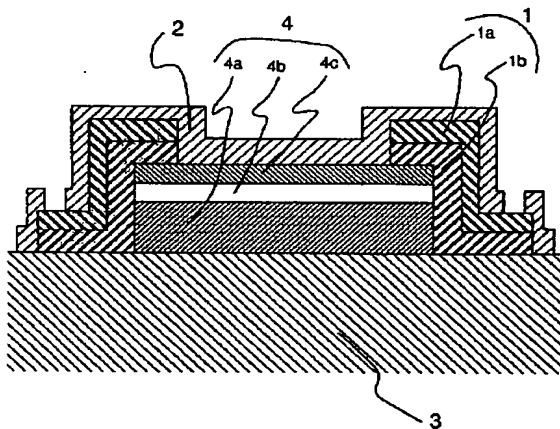
0時間で、ホール出力電圧、入力抵抗値は30%以上の変化率を示した。このように、本構造のホール素子は、生産性は保証できるが、信頼性は極めて悪い。比較例3は、実施例1と同じように半導体薄膜は基板まで除去しボンディング部が基板の上に形成されている為に、ボンディング時に電極剥離は発生していない。しかも、保護膜でホール素子の表面を隙間無く覆っている構造も全く実施例1と同様である。しかしながら、電極の第一金属が融点の低いAuGe材料で実施例1の融点の高いTi材料と異なっている為に信頼性が悪くなっている。

【0059】

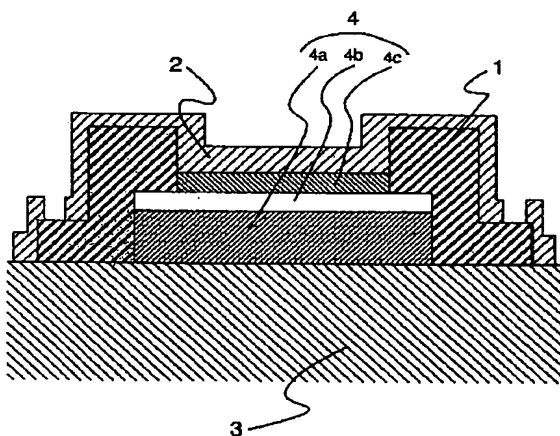
【発明の効果】以上述べたごとく、本発明のホール素子は、劣化が激しく進むSbを含む化合物半導体を含む半導体薄膜を用いたホール素子において、極めて高い信頼性を保証できると同時に、高い生産性も保証できるホール素子であり、実用性の大きなデバイスで、産業上の有効性は計り知れない。

【図面の簡単な説明】

【図1】



【図5】



14

【図1】本発明のホール素子断面図である。

【図2】本発明の他の実施例のホール素子の断面図である。

【図3】比較例1のホール素子の断面図である。

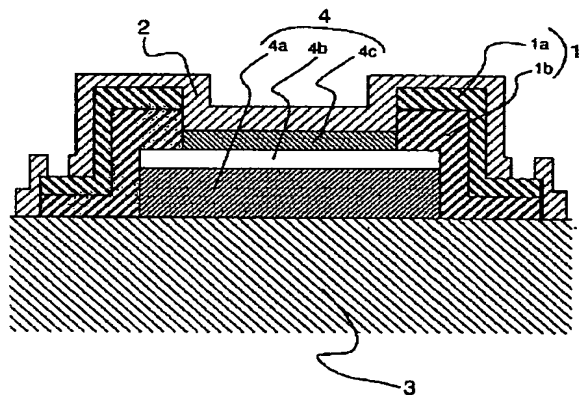
【図4】比較例2のホール素子の断面図である。

【図5】比較例3のホール素子の断面図である。

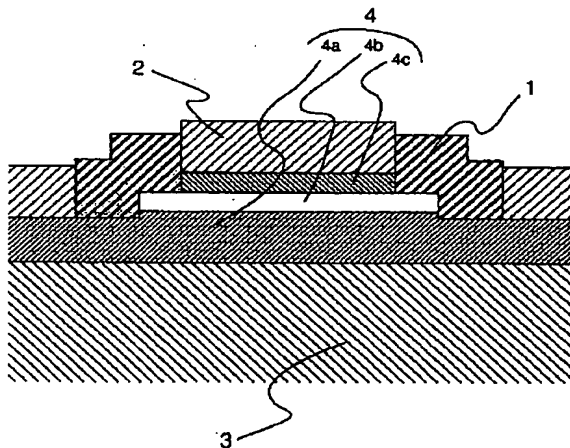
【符号の説明】

- 1 電極金属
- 1 a 第二金属層
- 1 b 第一金属層
- 2 保護膜
- 3 半導体薄膜を成長させた基板
- 4 半導体薄膜
- 4 a 第一化合物半導体層
- 4 b 能動層としての $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 層
- 4 c 第二化合物半導体層

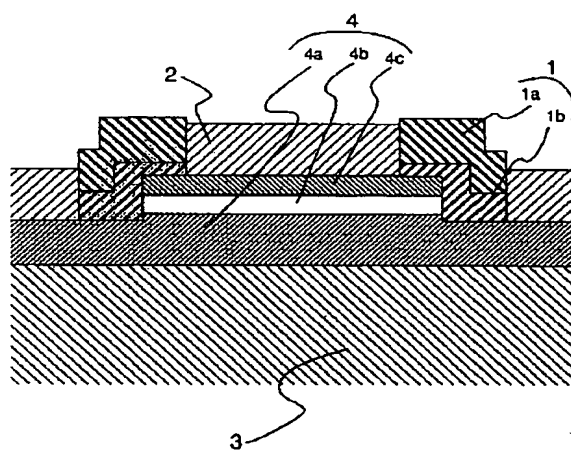
【図2】



【図3】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.